

KOREAN INTELLECTUAL PROPERTY OFFICE

KOREAN PATENT ABSTRACTS

(11)Publication number: 1020000077104 A
 (43)Date of publication of application: 26.12.2000

(21)Application number: 1020000022667
 (22)Date of filing: 28.04.2000
 (30)Priority: 09.03.2000 US 00 521325
 29.04.1999 US 99 131642

(71)Applicant: TEXAS INSTRUMENTS
 INCORPORATED
 (72)Inventor: KI TSUON HON
 MCKEE WILLIAM R
 ROBERT TSUU

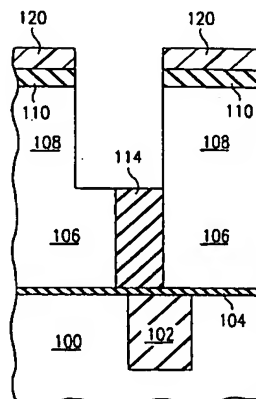
(51)Int. Cl. H01L 21/28

(54) IMPROVEMENT IN YIELD IN MANUFACTURE OF DUAL DAMASCENE BY FILLING WITH OXIDE

(57) Abstract:

PURPOSE: Dual damascene process mutual connection process is provided to eliminate or minimize oxide pillars which occur, when performing a trench etching.

CONSTITUTION: A via is made in heavy dielectric layers (106,108), and a via protective layer(114) is made within the via. The via protective layer(114) consists of a material, where selectivity of the wet etching is about 100 times the selectivity of the wet etching of the dielectric layer(108) or over and the selectivity of the dry etching is equal to the selectivity of the dry etching of, at least, the dielectric layer. A trench pattern(120) is made on the dielectric layer, and the trench is etched through a part of the dielectric layer, and at the step of etching this trench, a part of the via protective layer is removed, and then the section of the via protective layer left is selectively etched, and metal is formed within the trench.



COPYRIGHT 2001 KIPO

Legal Status

AO

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)(51) Int. Cl.⁷
H01L 21/28(11) 공개번호 특2000-0077104
(43) 공개일자 2000년12월26일

| | |
|------------|--|
| (21) 출원번호 | 10-2000-0022667 |
| (22) 출원일자 | 2000년04월28일 |
| (30) 우선권주장 | 60/131,642 1999년04월29일 미국(US) 9/521,325 2000년03월09일 미국(US) |
| (71) 출원인 | 텍사스 인스트루먼트 인코포레이티드 윌리엄 비. 켈플러 미국 75251 텍사스주 달라스 메일 스테이션 3999 처칠 웨이 7839 |
| (72) 발명자 | 프로버트 미국 75074 텍사스주 플레노 배카드라이브 4209 홍귀-조홍 미국 75243 텍사스주 달라스 포레스트랜 아파트 5219601 맥키 윌리엄 알. 미국 75075 텍사스주 플레노 파피트 1529 |
| (74) 대리인 | 주성민, 장수길 |

심사청구 : 없음**(54) 산화물 증진을 통한 이중 다마신 공정의 수율 향상****요약**

이중 다마신 공정이 개시된다. 비어(via) 에칭후, 비어 보호층(114)은 비어(112)에 피착된다. 비어 보호층(114)은 적어도 IMD(108)의 에칭후와 동일한 건식 에칭후와 IMD(108)의 에칭후의 대략 100배 또는 그 이상의 습식 에칭후를 갖는 물질을 포함한다. 본보기가 되는 물질들은 PSG, BPSG, 및 HSQ를 포함한다. 트렌치 패턴(120)이 형성되고나서 비어 보호층(114)과 IMD(108)가 모두 에칭된다. 비어 보호층(114)의 나머지 부분은 금속 층(122)을 형성하기 위해 앞서 제거된다.

도면**도면****색인어**

이중 다마신 공정, 트렌치 패턴, 비어 보호층, ILD, IMD

참고문헌**도면의 간단한 설명**

도 1a-1e는 종래 기술의 이중 다마신 공정의 여러 제조 단계의 단면도.

도 2a-2e는 본 발명에 따르는 이중 다마신 공정의 여러 제조 단계의 단면도.

<도면의 주요 부분에 대한 부호의 설명>

100 : 반도체 기판

102 : 제1 상호 접속층

104 : 에칭스톱층

106 : ILD

108 : IMD

110 : 하드 마스크

120 : 트렌치 패턴

본 발명의 상세한 설명

발명의 목적

발명이 속하는 기술분야 및 그 분야의 종래기술

본 발명은 일반적으로 집적 회로에서 중간 접속층을 형성하는 분야, 특히 이중 다마신(damascene) 상호 접속 공정에 관한 것이다.

반도체 장치의 밀도가 증가함에 따라, 반도체 기판을 서로 접속하기 위한 상호 접속층에 대한 요구 또한 증가한다. 그러므로, 전통적인 알루미늄 금속 상호 접속을 구리 상호 접속으로 바꿀 필요가 있다. 공교롭게도, 반도체 제조 환경에 적합한 구리 에칭은 쉽게 이용될 수가 없다. 구리 에칭 문제를 극복하기 위하여, 다마신 공정이 개발되어왔다.

종래의 상호 접속 공정에서, 알루미늄 (및 임의의 장벽 금속)은 상호 접속 라인을 형성하기 위하여 피착되고, 패턴되고 나서 에칭된다. 그 다음에, 중간 유전체(ILD)는 피착되고 난 후에 평탄화된다. 다마신 공정에서, 우선 ILD가 형성된다. 그 다음, ILD는 패턴되고 나서 에칭된다. 금속은 그 다음 구조 위에 피착되고 나서, ILD 위에서 금속을 제거하기 위하여 화학 및 기계적으로 연마되어 금속 상호 접속 라인을 남긴다. 그로 인해 금속 에칭이 회피된다.

종래 기술의 다마신 공정의 이중 다마신 공정이 도 1a-e를 참조하여 설명된다. 도 1a를 참조하면, 실리콘 질화물 층(12)은 반도체 기판 위에 피착된다. 반도체 기판(10)은 제1 금속 상호 접속을 통해 처리될 것이다. 비어(via) 레벨 유전체(14)는 실리콘 질화물 층(12)위에 피착된다. 비어 유전체 층(14)은 FSG(fluorine-doped silicate glass)를 포함한다. 다른 실리콘 질화물 층(18)은 비어 레벨 유전체(14)위에 피착되고, 제2 트렌치 레벨 유전체(20)는 실리콘 질화물 층(18)위에 피착된다. 비어(22)는 그 다음에 트렌치 레벨 유전체(20), 실리콘 질화물 층(18) 및 비어 레벨 유전체(14)에 의해 패턴되고, 나서 에칭된다. 실리콘 층(12)은 에칭스톱으로 사용된다.

도 1b를 참조하면, 스피ن-온(spin-on) 포토레지스트(24)는 포토레지스트로 비어(22)의 일부를 채우기 위하여 피착된다. 그 결과 유전체(20) 위에서는 대략 600Å이고 비어(22)내에서는 두께가 ~2000-2500Å인 레지스트(resist)가 생긴다. 포토레지스트(24)는 후속적인 트렌치 에칭을 하는 동안 비어(24)를 보호한다. 다음, 트렌치 패턴(26)은 도 1c에 도시된 바와 같이 구조위에 형성된다. 트렌치 패턴(26)은 금속 상호 접속라인이 요구되는 트렌치 레벨 유전체(20)의 영역을 노출시킨다.

도 1d를 참조하면, FSG층(20)의 일부를 제거하기 위한 트렌치 에칭이 수행된다. 공교롭게도, 비어(22)의 경사에 기인하여 산화를 기동(28)이 남는다. 포토레지스터(24)의 남아있는 부분은 또한 도 1e에 도시된 바와 같이 제거된다. 제거 처리후에, 비어(22)에는 홈(중합체 등)이 남아 있다. 산화를 기동(28)과 홈들은 후속적인 처리를 하는 동안 문제를 발생시킨다. 예를 들어, 실리콘 질화물층(12)이 에칭된 후에, 일반적으로 장벽 금속이 피착된다. 장벽 금속이 산화를 기동(28)을 커버하도록 하는 일은 어려운 일이다. 이것은 공정 마진을 감소시킨다. 따라서, 산화를 기동을 피하거나 최소화시키는 이중 다마신 공정이 필요하다.

발명이 이루고자 하는 기술적 과제

이중 다마신 공정이 여기에 개시된다. 비어 에칭후, 비어 보호층은 비어내에 피착된다. 비어 보호층은 금속간 유전체(IMD)의 에칭률과 적어도 동일한 건식 에칭률과, IMD의 에칭률의 대략 100배 또는 그 이상의 습식(wet) 에칭률을 갖는 물질을 포함한다. 본보기가 되는 물질은 PSG, BPSG, 및 HSQ를 포함한다. 트렌치 패턴이 형성되고 나서 비어 보호층과 IMD가 둘다 에칭된다. 비어 보호층의 나머지 부분은 금속층을 형성하기에 앞서 제거된다.

본 발명의 장점은 산화를 기동의 형성을 피하거나 최소화시키는 이중 다마신 공정을 제공하는 것이다.

이 장점과는 다른 장점들이 도면과 관련하여 명세서를 참조한다면 당업자에게는 명백할 것이다.

발명의 구성 및 작용

본 발명은 지금부터 이중 다마신 구리 상호 접속 공정에 관하여 설명할 것이다. 본 발명의 이점이 다른 이중 다마신 공정과 같은 다른 제조 공정에 적용될 수 있다는 것은 당업자에게 명백한 것이다.

본 발명은 이중 다마신 공정 동안 산화를 기동이 형성되지 않도록 하는 특정한 에칭 특성을 갖는 비어 보호층을 사용한다. 특히, 비어 보호층은 금속간 유전체(IMD)와 증기 HF의 에칭률과 적어도 동일한 건식 에칭률을 갖거나 또는 IMD의 에칭률보다 상당히 큰 습식 에칭률(예를 들어, ~100x 또는 이상)을 갖는다. 습식 에칭률은 IMD에 대하여 비어 보호 층이 선택적으로 제거되는 것을 허용한다. 건식 에칭률은 IMD(트렌치) 에칭을 하는 동안 적어도 IMD만큼 비어 보호 층을 제거한다. 이것은 비어 보호층이 산화를 기동의 형성을 허용하는 IMD위에 연장되지 않는 것을 보장한다.

본 발명의 실시예에 따르는 제조 공정은 도 2a-2g를 참조하여 논의되지 않을 것이다. 반도체 기판(100)은 본 기술에 공지된 바와 같이 제1 상호 접속층(102)의 형성을 통해 처리된다.(본 명세서에서 제1 상호 접속층(102)으로 참조되었지만, 층(102)은 최상단 상호 접속층을 제외한 어떤 상호 접속층이 될 것임). 에칭스톱층(104)은 반도체 기판(100)의 표면위에 형성된다. 에칭스톱층(104)은 일반적으로 실리콘 질화물을 포함하지만, 다른 적합한 에칭스톱층이 본 기술분야에 알려져 있다. 비어 레벨 유전체(106)(때때로 중간 유전체(ILD)라고 함)와 트렌치 레벨 유전체(108)(때때로 금속간 유전체(IMD)라고 함)는 에칭스톱층(104)위에 형성된다. 도 2a에 도시된 바와 같이, ILD(106)와 IMD(108)는 단일 층으로 될 수 있다. ILD(106)와 IMD(108)로 적합한 물질은 본 기술분야에 잘 알려져 있다. 양호한 실시예는 FSG를 사용한다. 다른 예는 PETEOS(플라즈마 강화 테트라에톡시실레인)와 어쩌면 크세로겔을 포함하는 낮은 K 유전체를 포함한다. 에칭스톱층은 ILD(106)와 IMD(108) 사이에서는 필요하지 않다. 그러나, 요구된다면 그것도

포함될 수 있다. ILD(106)와 IMD(108)사이의 에칭스톱층을 제거하면 기생 커패시턴스가 감소되는 이점이 있다.

선택적 하드마스크(110)는 IMD(108)위에 형성된다. 하드마스크(110)는 예를 들어, 실리콘-산-질화물 BARC(하부 무반사 코팅)로 구성될 것이다. 이것은 아래에 설명되겠지만 비어를 패터닝하고 에칭하기 전에 피착되는 후속하는 레지스트 패턴을 위한 BARC일 수 있다. 하드마스크(110)는 비어의 코너를 보호한다.

도 1a를 참조하면, 비어(112)는 선택적 하드마스크(110), IMD(108) 및 ILD(106)를 통해 에칭된다. 비어 에칭은 에칭스톱층(104)위에서 중단된다. 비어(112)는 두개의 금속 상호 접속층 사이에서 접속이 요구되는 영역에 형성된다. 부가적인 에칭스톱층이 IMD(108)와 ILD(106)사이에서 포함된다면, 비어 에칭은 또한 이 부가적인 에칭스톱층을 통해 에칭된다.

비어 에칭후, 도 1b에 도시된 바와 같이, 비어 보호층(114)은 비어(112)를 채우기 위하여 피착된다. 피착 후, 비어 보호층(114)은 도 2c에 도시된 바와 같이 선택적으로 에칭된다. 위에 설명된 바와 같이, 비어 보호층(114)은 이중 다마신 공정동안 산화를 기동이 형성되지 않도록 하는 특정한 에칭 특성을 갖는다. 특히, 비어 보호층(114)은 IMD(108)의 에칭률과 적어도 동일한 건식 에칭률과 IMD(108)의 에칭률보다 상당히 큰(예를 들어, $\sim 100\times$ 또는 이상) 습식 에칭률을 갖는다. 습식 에칭률은 IMD(108)에 대해 비어 보호층(114)이 선택적으로 제거되는 것을 허용한다. 건식 에칭률은 IMD(트렌치) 에칭동안 적어도 IMD(108)만큼 비어 보호층(114)을 제거한다. 이것은 비어 보호층(114)이 산화를 기동의 형성을 허용하는 IMD(108)위에서 연장되지 않는 것을 보장한다.

스핀-온 산화물은 특히 비어 보호층(114)으로서 잘 작용한다. 피착과 에칭백 특성은 비어(112)의 일관된 종전을 허용한다. 더군다나, PSG(phosphorous-doped silicate glass), BPSG(boron and phosphorous-doped silicate glass) 및 HSQ(hydrogen silsesquioxanes)와 같은 스피-온 산화물은 뛰어난 에칭 특성을 갖는다. 이것은 FSG가 IMD(108)용으로 사용되었을 때에 특히 그렇다. 약 100:1의 PSG와 FSG사이의 습식 에칭 선택도가 쉽게 달성될 수 있는 반면에, 건식 에칭률은 대략 1:1로 최적화될 수 있다.

도 2d를 참조하면, 트렌치 패턴(120)이 형성된다. 트렌치 패턴(120)은 제2의 상호 접속 라인 또는 후속하는 상호 접속층이 요구되는 영역을 노출시킨다. 하드마스크 층(110)이 미리 형성된다면, 트렌치 패턴(120)을 위한 BARC 층으로 사용될 것이다. 트렌치 패턴(120)의 형성은 도 2d에 도시된 바와 같이 BARC/하드마스크 층(110)을 에칭하는 단계를 포함한다.

다음, 트렌치 에칭은 도 2e에 도시된 바와 같이 IMD(108)를 에칭하기 위하여 수행된다. 양호한 실시예에서, 적시의 에칭이 사용된다. 그러나, 부가적인 에칭스톱층이 ILD(106)와 IMD(108)사이에서 형성된다면, 선택적인 에칭이 이용될 수 있다. 그러나, 실리콘-질화물 에칭스톱층이 포함되면 금속 상호 접속층사이의 기생 커패시턴스가 증가한다는 것에 유의해야 한다.

도 2f를 참조하면, 트렌치 패턴(120)은 예를 들어, 애싱(ashing)에 의해 제거된다. 선택적인 산화물 스트림은 그다음에 비어 보호층(114)의 남아있는 부분을 제거하기 위하여 이용된다. 선택적인 산화물 스트림은 적어도 100:1의 비어 보호층(114)과 IMD(108)/ILD(106) 사이의 선택도를 갖는 습식 에칭이다. 종합 체/레지스트가 비어 보호층용으로 사용되지 않기 때문에, 비어 보호층(114)의 제거는 큰 물리너 비어(112)를 남긴다. 홀/중합체 잉여물이 상당히 감소되어, 공정 마진이 증가한다. BARC/하드마스크(110)와 에칭스톱층(104) 또한 제거된다.

도 2g에 도시된 바와 같이, 처리는 그다음 제2 금속 상호 접속층(122)의 형성으로 계속된다(제2 금속 상호 접속층으로 참조되었지만, 층(122)은 최하위 상호 접속층 이외의 임의의 금속 상호 접속층일 수 있음). 전형적으로, 탄탈륨-질화물(TaN)과 같은 장벽층(124)이 우선 피착된다. 산화물 기동이 형성되지 않는 사실로 인해 트렌치/비어에 연속적인 장벽층(124)을 형성하는 것은 매우 쉬운 일이다. 이 이점은 또한 공정 마진을 증가시킨다. 장벽층의 목적은 후속적으로 형성된 금속이 IMD/ILS로 확산되지 않도록 하는 것이다. 장벽층내의 브레이크는 금속 확산을 허용하고 따라서 수율과 신뢰도를 감소시킨다. 따라서, 본 발명은 산화물 기동의 형성을 막고, 비어의 홀을 감소시키므로써 수율과 신뢰도를 개선시킨다.

장벽층(124) 다음에, 일반적으로 구리 시드층이 형성된다. 다음에는 구리 상호 접속층(126)과 탑 질화물(Si₃N₄) 캐핑 층(128)이 형성 된다. 위의 공정은 그 다음 후속적인 금속 상호 접속층을 형성하기 위하여 반복된다.

발명의 효과

본 발명에 따르면, 이중 다마신 구리 공정을 제공함으로써 산화물 기동의 형성을 피하거나 최소화시키는 효과가 있다.

본 발명이 예시적인 실시예를 참조하여 설명되었지만, 본 설명은 제한적인 의미로 해석되는 의도는 아니다. 본 발명의 다른 실시예들뿐만 아니라 예시적인 실시예들의 다양한 변경과 결합은 본 명세서를 참조하면 본 기술분야의 숙련자에게는 명백한 일이다. 그러므로 첨부된 특허 청구항 범위는 임의의 그러한 변경 또는 실시예들을 포함하는 것으로 의도된다.

(5) 청구의 범위

청구항 1

집적 회로를 형성하는 방법에 있어서,

반도체 기판위에 유전체 층을 형성하는 단계,

상기 유전체층내에 비어(via)를 형성하는 단계,

상기 유전체층의 에칭률의 대략 100배 이상의 습식 에칭 선택도와 적어도 상기 유전체층의 에칭률과 동일

한 건식 에칭 선택도를 가지는 물질을 포함하는 비어 보호층을 상기 비어내에 형성하는 단계,
 상기 유전체 층위에 트렌치 패턴을 형성하는 단계,
 상기 유전체층의 일부를 관통하는 트렌치를 에칭하고 상기 비어 보호층의 일부를 제거하는 단계,
 상기 비어 보호층의 임의의 나머지 부분을 선택적으로 제거하는 단계, 및
 상기 비어와 상기 트렌치내에 금속층을 형성하는 단계
 를 포함하는 집적 회로 형성 방법.

청구항 2

제1항에 있어서,
 상기 유전체 층은 불소 도핑 실리콘을 포함하는 집적 회로 형성 방법.

청구항 3

제1항에 있어서,
 유전체 층을 형성하는 상기 단계는:
 상기 반도체 기판 위에 제1 에칭스톱층을 형성하는 단계,
 상기 제1 에칭스톱층위에 층간 유전체층(ILD)을 형성하는 단계, 및
 상기 층간 유전체층위에 금속간 유전체 층(IMD)을 형성하는 단계를 포함하고, 상기 비어는 상기 ILD를 관
 통하여 연장하고 상기 트렌치는 상기 IMD를 관통하여 연장하는 집적 회로 형성 방법.

청구항 4

제3항에 있어서,
 상기 ILD와 상기 IMD 사이에 제2 에칭스톱층을 형성하는 단계를 더 포함하는 집적 회로 형성 방법.

청구항 5

제1항에 있어서,
 상기 비어를 형성하기에 앞서서 상기 유전체층에 하드마스크를 형성하는 단계를 더 포함하는 집적 회로
 형성 방법.

청구항 6

제5항에 있어서,
 상기 하드마스크는 하부 무반사 코팅을 포함하는 집적 회로 형성 방법.

청구항 7

제5항에 있어서,
 상기 하드마스크는 실리콘-산-질화물을 포함하는 집적 회로 형성 방법.

청구항 8

제1항에 있어서,
 상기 비어 보호 층은 스피ن-온(spin-on) 산화물을 포함하는 집적 회로 형성 방법.

청구항 9

제1항에 있어서,
 상기 비어 보호 층은 HSQ를 포함하는 집적 회로 형성 방법.

청구항 10

집적 회로를 형성하는 방법에 있어서,
 반도체 기판위에 제1 금속 상호 접속층을 형성하는 단계,
 상기 제1 금속 상호 접속층위에 에칭스톱층을 형성하는 단계,
 상기 에칭스톱층 위에 유전체층을 형성하는 단계,
 상기 유전체 층을 관통하는 비어를 상기 에칭스톱층까지 형성하는 단계,
 상기 유전체층의 에칭 선택도의 대략 100배 이상의 습식 에칭 선택도와 적어도 상기 유전체층의 에칭 선
 택도와 동일한 건식 에칭 선택도를 갖는 물질을 포함하는 비어 보호 층을 상기 비어내에 형성하는 단계,
 상기 유전체층위에 트렌치 패턴을 형성하는 단계,
 상기 유전체층에 제1 깊이까지 트렌치를 건식 에칭하고 상기 비어 보호층의 일부를 적어도 상기 제1 깊이

까지 제거하는 단계.

상기 비어 보호층과 상기 유전체층 사이의 최소한 100:1의 선택도를 갖는 습식 에칭을 사용하여 상기 비어 보호층의 임의의 나머지 부분을 선택적으로 제거하는 단계, 및

상기 비어와 상기 트렌치내에 금속층을 형성하는 단계

를 포함하는 집적 회로 형성 방법.

청구항 11

제 10항에 있어서,

유전체 층을 형성하는 상기 단계는:

상기 제 1 에칭스톱층위에 중간 유전체층(ILD)을 형성하는 단계, 및

상기 상호 유전체층위에 금속간 유전체 층(IMD)을 형성하는 단계

를 포함하는 집적 회로 형성 방법.

청구항 12

제 11항에 있어서,

상기 ILD와 상기 IMD 사이에 제 2 에칭스톱층을 형성하는 단계를 더 포함하는 집적 회로 형성 방법.

청구항 13

제 10항에 있어서,

상기 비어를 형성하기에 앞서 상기 유전체 층위에 하드마스크를 형성하는 단계를 더 포함하는 집적 회로 형성 방법.

청구항 14

제 13항에 있어서,

상기 하드마스크는 하부 무반사 코팅을 포함하는 집적 회로 형성 방법.

청구항 15

제 13항에 있어서,

상기 하드마스크는 실리콘-산-질화물을 포함하는 집적 회로 형성 방법.

청구항 16

제 10항에 있어서,

상기 비어 보호층은 스피-온 산화물을 포함하는 집적 회로 형성 방법.

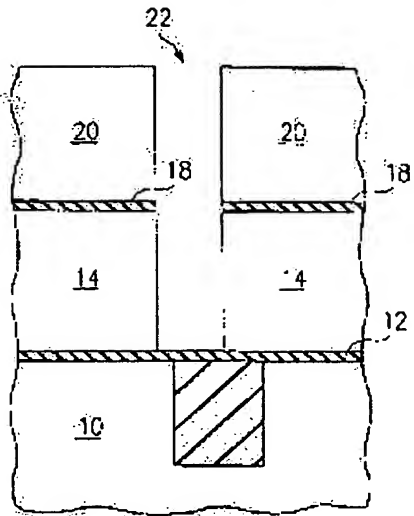
청구항 17

제 10항에 있어서,

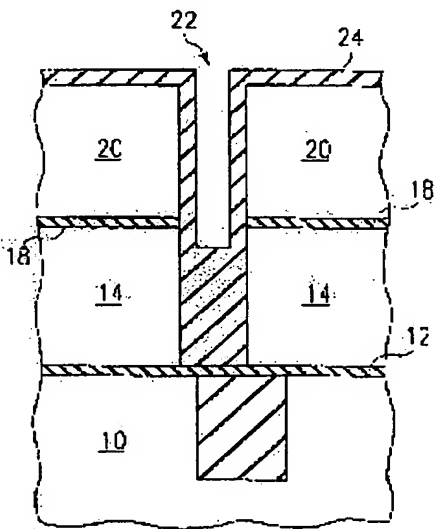
상기 비어 보호층은 HSQ를 포함하는 집적 회로 형성 방법.

도면

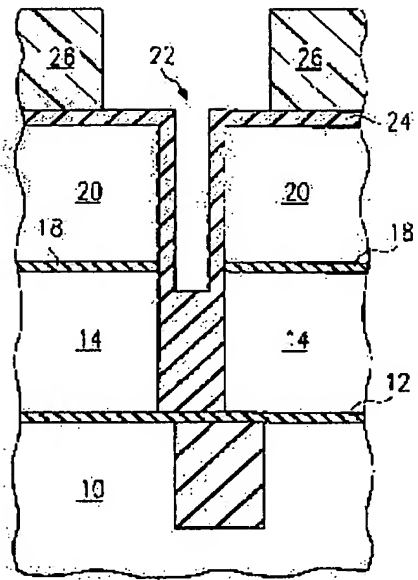
도면 1a



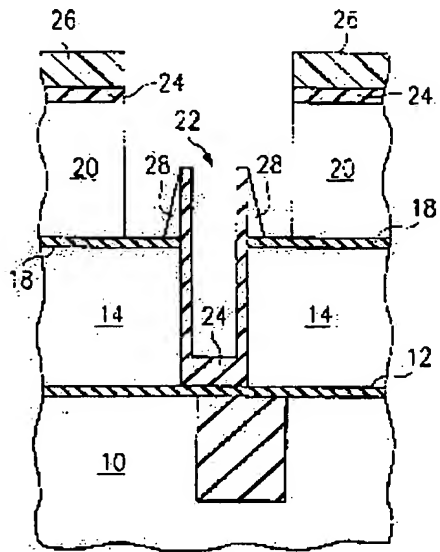
도면 1b



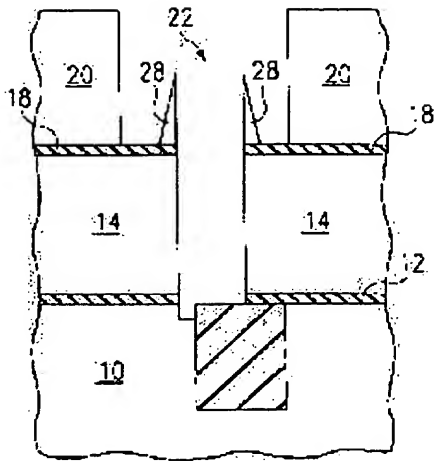
도면 10



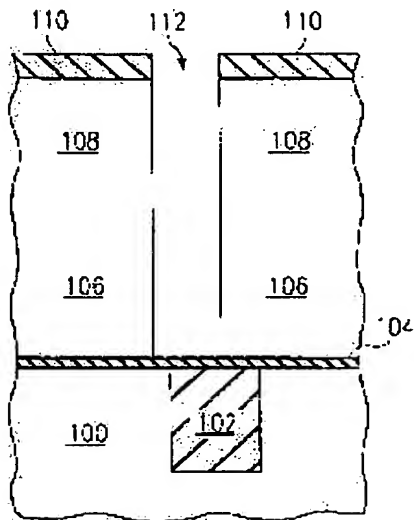
도면 11



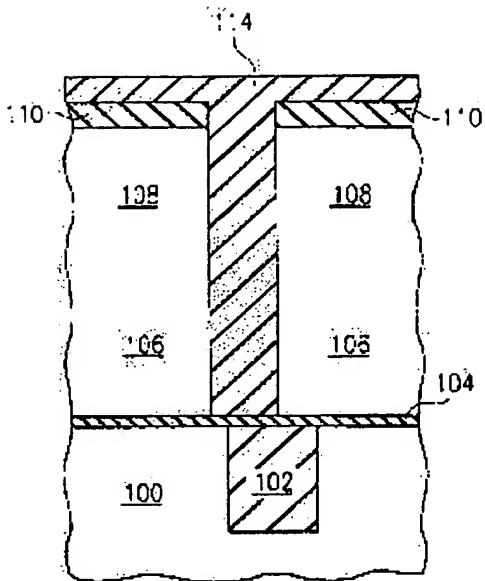
도면 1a



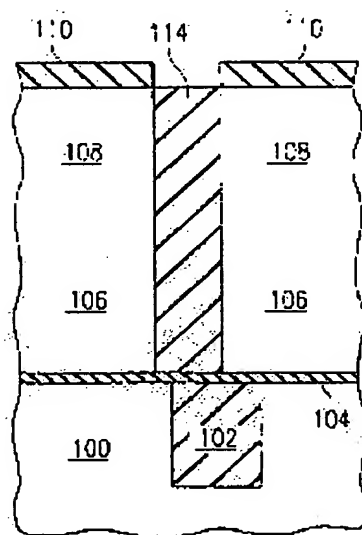
도면 2a



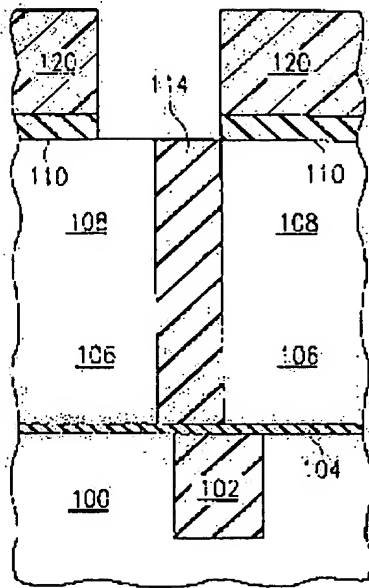
도면 2b



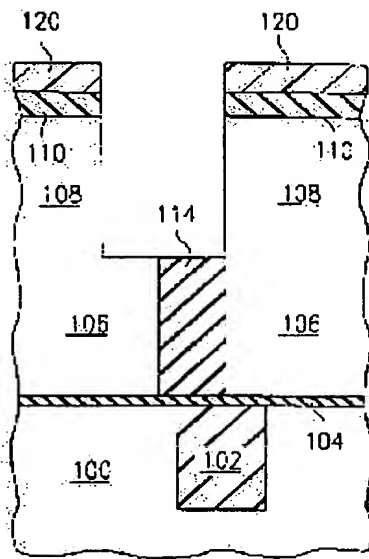
도면 2c



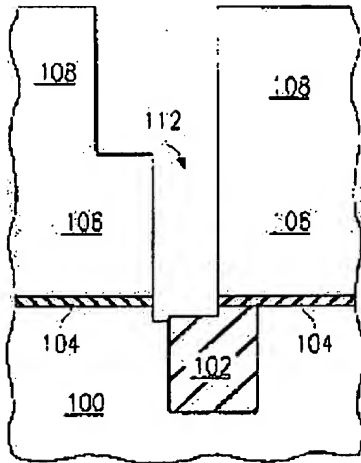
도 2d



도 2e



도 21



도 22

